

4/7

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-520857

(P2002-520857A)

(43)公表日 平成14年7月9日 (2002.7.9)

(51) Int.Cl.⁷
 H 01 L 21/337
 29/808
 29/74

識別記号

F I
 H 01 L 29/80
 29/74

テ-マコ-ト⁸ (参考)
 C 5 F 0 0 5
 F 5 F 1 0 2

審査請求 未請求 予備審査請求 有 (全 38 頁)

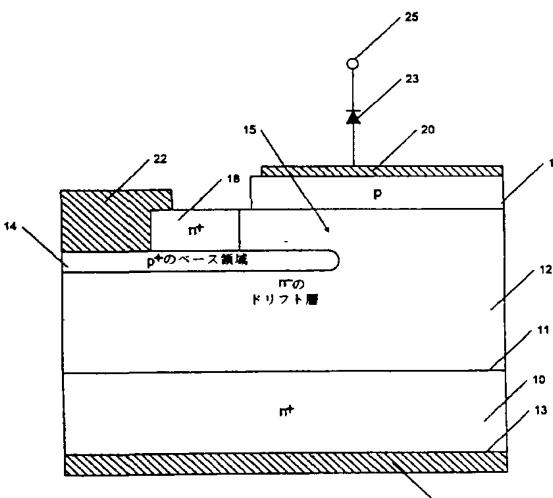
(21)出願番号 特願2000-559600(P2000-559600)
 (86) (22)出願日 平成11年6月8日(1999.6.8)
 (85)翻訳文提出日 平成13年1月5日(2001.1.5)
 (86)国際出願番号 PCT/US99/12861
 (87)国際公開番号 WO00/03440
 (87)国際公開日 平成12年1月20日(2000.1.20)
 (31)優先権主張番号 09/112,686
 (32)優先日 平成10年7月9日(1998.7.9)
 (33)優先権主張国 米国(US)

(71)出願人 クリー インコーポレイテッド
 CREE INC.
 アメリカ合衆国 ノースカロライナ州
 27703 ダラム シリコン ドライブ
 4600
 (72)発明者 シング, ランビル
 アメリカ合衆国ノースカロライナ州27513,
 ケアリー, ローズダウン・ドライブ 100,
 アパートメント 2シー
 (74)代理人 弁理士 奥山 尚一 (外2名)
 Fターム(参考) 5F005 AA03 AB03 AC02 AF01 AF02
 BA01 GA01
 5F102 GB04 GC07 GD04 GJ02 GL02
 最終頁に続く

(54)【発明の名称】炭化ケイ素水平チャネルの緩衝ゲート用半導体ディバイス

(57)【要約】

ゲートにバイアスが印加されないときに、「ピンチオフ」のゲート領域を創出するために、半導体のゲート層及び埋込みのベース領域を利用することによって、ゲートの絶縁体がなくて済む炭化ケイ素チャネルの半導体ディバイスを提供する。本発明の特定の実施の形態においては、これらの半導体ディバイスは、第1の伝導形の、第1の面と中にチャネル領域とを有する炭化ケイ素のドリフト層を備えている。チャネル領域を規定するために、炭化ケイ素のドリフト層内に、第2の伝導形の半導体材料の埋込みベース領域が提供される。炭化ケイ素のドリフト層のチャネル領域に隣接した、炭化ケイ素のドリフト層の第1の面上に、第2の伝導形の半導体材料のゲート層が形成される。ゲート接点も、ゲート層上に形成することができる。トランジスタ及びサイリスタの両方を提供することができる。



【特許請求の範囲】

【請求項1】 炭化ケイ素チャネルの半導体ディバイスであって、
第1の伝導形の、第1の面を有する炭化ケイ素のドリフト層と、
前記炭化ケイ素のドリフト層内の第2の伝導形の半導体材料の、チャネル領域
を規定するための埋込みベース領域と、
前記炭化ケイ素のドリフト層の前記チャネル領域に隣接し電気的に接觸する前
記炭化ケイ素のドリフト層の前記第1の面上の、第2の伝導形の半導体材料のゲ
ート層と、
前記ゲート層上のゲート接点と、
を備えることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項2】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスで
あって、

前記埋込みベース領域と前記ドリフト層の前記第1の面との間の、前記ドリフ
ト層のキャリア濃度よりも大きなキャリア濃度にドープされた、第1の伝導形の
半導体材料の第1の領域と、

前記半導体ディバイスが横方向の炭化ケイ素のチャネル領域を有する垂直なデ
ィバイスを備えるように、前記第1の面の反対側の前記ドリフト層の第2の面に
隣接する半導体材料の第2の領域と、
をさらに備えることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項3】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスで
あって、前記ゲート層と前記ゲート接点との間の高濃度にドープされた第1の伝
導形の半導体材料の層を、さらに備えることを特徴とする炭化ケイ素チャネルの
半導体ディバイス。

【請求項4】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスで
あって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形がp形の伝
導性であることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項5】 請求項2に記載の炭化ケイ素チャネルの半導体ディバイスで
あって、前記半導体材料の第2の領域が炭化ケイ素の基板を備え、前記炭化ケイ
素の基板が前記炭化ケイ素のドリフト層の前記第2の面に隣接することを特徴と

する炭化ケイ素チャネルの半導体ディバイス。

【請求項6】 請求項5に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記炭化ケイ素の基板が前記第1の伝導形の高濃度にドープされた炭化ケイ素の基板であり、前記半導体ディバイスのドレイン領域を提供することを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項7】 請求項6に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形がp形の伝導性であることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項8】 請求項5に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記炭化ケイ素の基板が前記第2の伝導形の高濃度にドープされた炭化ケイ素の基板であり、前記炭化ケイ素ディバイスのコレクタ領域を提供することを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項9】 請求項8に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形がp形の伝導性であることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項10】 請求項8に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記第1の伝導形がp形の伝導性であり、前記第2の伝導形がn形の伝導性であることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項11】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記埋込みベース領域及び前記ゲート層の前記半導体材料が炭化ケイ素であることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項12】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記埋込みベース領域及び前記ゲート層の前記半導体材料が、窒化ガリウム及び窒化インジウムガリウムから成るグループから選択されることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項13】 請求項2に記載の炭化ケイ素チャネルの半導体ディバイスであって、前記半導体材料の第1の領域が前記ベース領域に電気的に接続されることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項14】 請求項2に記載の炭化ケイ素チャネルの半導体ディバイス

であって、前記半導体材料の埋込みベース領域が前記ゲート層と前記ゲート接点とに電気的に接続されることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項15】 請求項1に記載の炭化ケイ素チャネルの半導体ディバイスであって、そのカソードを前記ゲート接点に接続させるダイオードを、さらに備えることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項16】 炭化ケイ素チャネルのトランジスタの単位セルであって、第1の伝導形の、第1のキャリア濃度を有する炭化ケイ素の基板と、前記炭化ケイ素の基板上の前記第1の伝導形の、前記第1のキャリア濃度よりも小さいキャリア濃度を有する炭化ケイ素の第1の層と、前記炭化ケイ素の第1の層内の第2の伝導形の半導体材料の埋込み領域であって、前記第1の面と前記埋込み領域との間にチャネル領域を規定する該埋込み領域と、

前記炭化ケイ素の第1の層の前記キャリア濃度よりも大きいキャリア濃度にドープされ、前記半導体材料の埋込み領域と、前記基板の反対側で前記炭化ケイ素の第1の層の前記チャネル領域に隣接する前記炭化ケイ素の第1の層の面との間にある、前記第1の伝導形の半導体材料の第1の領域と、

前記炭化ケイ素の第1の層上の前記第2の伝導形の半導体材料の、前記半導体材料の第1の領域に隣り合っているが間隔を置いていて、前記炭化ケイ素の第1の層の前記チャネル領域をカバーするように伸びるゲート層と、

前記炭化ケイ素の第1の層の前記チャネル領域を規定するための、前記半導体材料のゲート層上のゲート接点と、

前記半導体材料の第1の領域上の第1の接点と、前記炭化ケイ素の第1の層の反対側の前記炭化ケイ素の基板上の第2の接点と、
、
を備えることを特徴とする炭化ケイ素チャネルのトランジスタの単位セル。

【請求項17】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記ゲート層と前記ゲート接点との間に、高濃度にドープされた第1の伝導形の半導体材料の層を、さらに備えることを特徴とする炭化ケイ素チャネル

のトランジスタ。

【請求項18】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形がp形の伝導性であることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項19】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記第1の伝導形がp形の伝導性であり、前記第2の伝導形がn形の伝導性であることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項20】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記埋込み領域及び前記ゲート層の前記半導体材料が炭化ケイ素であることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項21】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記埋込み領域及び前記ゲート層の前記半導体材料が、窒化ガリウム及び窒化インジウムガリウムから成るグループから選択されることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項22】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記半導体材料の第1の領域が前記埋込み領域に電気的に接続されることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項23】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、前記半導体材料の埋込み領域が前記ゲート層と前記ゲート接点とに電気的に接続されることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項24】 請求項16に記載の炭化ケイ素チャネルのトランジスタであって、そのカソードを前記ゲート接点に接続させるダイオードを、さらに備えることを特徴とする炭化ケイ素チャネルのトランジスタ。

【請求項25】 炭化ケイ素チャネルのサイリスタの単位セルであって、第2の伝導形の、第1のキャリア濃度を有する炭化ケイ素の基板と、前記炭化ケイ素の基板上の前記第1の伝導形の炭化ケイ素の、前記第1のキャリア濃度よりも小さいキャリア濃度を有する第1の層と、前記炭化ケイ素の第1の層内の前記第2の伝導形の半導体材料の埋込み領域であって、前記第1の面と前記埋込み領域との間にチャネル領域を規定する埋込み

領域と、

前記炭化ケイ素の第1の層の前記キャリア濃度よりも大きいキャリア濃度にドープされ、前記半導体材料の埋込み領域と前記基板の反対側で前記炭化ケイ素の第1の層の前記チャネル領域に隣接する前記炭化ケイ素の第1の層の面との間にある、前記第1の伝導形の半導体材料の第1の領域と、

前記炭化ケイ素の第1の層上の前記第2の伝導形の半導体材料の、前記半導体材料の第1の層に隣り合っているが間隔を置いていて、前記炭化ケイ素の第1の層の前記チャネル領域をカバーするように伸びるゲート層と、

前記炭化ケイ素の第1の層の前記チャネル領域を規定するための、前記半導体材料のゲート層上のゲート接点と、

前記半導体材料の第1の領域上の第1の接点と、

前記炭化ケイ素の第1の層の反対側の前記炭化ケイ素の基板上の第2の接点と、

、

を備えることを特徴とする炭化ケイ素チャネルのサイリスタの単位セル。

【請求項26】 請求項25に記載の炭化ケイ素チャネルのサイリスタであって、前記ゲート層と前記ゲート接点との間に、高濃度にドープされた第1の伝導形の半導体材料の層を、さらに備えることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項27】 請求項25に記載の炭化ケイ素チャネルのサイリスタであって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形がp形の伝導性であることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項28】 請求項25に記載の炭化ケイ素チャネルのサイリスタであって、前記第1の伝導形がp形の伝導性であり、前記第2の伝導形がn形の伝導性であることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項29】 請求項25に記載の炭化ケイ素チャネルのサイリスタであって、前記埋込み領域及び前記ゲート層の前記半導体材料が炭化ケイ素であることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項30】 請求項25に記載の炭化ケイ素チャネルのサイリスタであって、前記埋込み領域及び前記ゲート層の前記半導体材料が、窒化ガリウム及び

窒化インジウムガリウムから成るグループから選択されることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項3 1】 請求項2 5に記載の炭化ケイ素チャネルのサイリスタであって、前記半導体材料の第1の領域が前記埋込み領域に電気的に接続されることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項3 2】 請求項2 5に記載の炭化ケイ素チャネルのサイリスタであって、前記半導体材料の埋込み領域が前記ゲート層と前記ゲート接点とに電気的に接続されることを特徴とする炭化ケイ素チャネルのサイリスタ。

【請求項3 3】 請求項2 5に記載の炭化ケイ素チャネルのサイリスタであって、そのカソードを前記ゲート接点に接続させるダイオードを、さらに備えることを特徴とする炭化ケイ素チャネルのサイリスタ。

【発明の詳細な説明】

【0001】

【発明の技術分野】

本発明は半導体ディバイスに関し、さらに特定すると、炭化ケイ素内に形成された半導体ディバイスに関する。本発明は、特に、炭化ケイ素内に形成されたパワー・ディバイスに関する。

【0002】

【発明の背景】

炭化ケイ素の物理的な特性のために、炭化ケイ素は、高温で高電力の用途に使用するために適当な半導体材料と考えられてきた。その結果、炭化ケイ素の種々の半導体ディバイスが、炭化ケイ素の有望な特性を利用する試みの中で開発されてきた。これらのディバイスには、金属酸化膜半導体電界効果トランジスタ（MOSFET）、接合型電界効果トランジスタ（JFET）及びACCUFETが含まれる。

【0003】

パワーMOSFETでは、ゲート電極は、適当なゲートバイアスが加えられると、ターンオン及びターンオフ制御を行う。例えば、n形エンハンスマントMOSFET内のターンオンは、正のゲートバイアスの印加に応答して、伝導性のn形反転層がp形チャネル領域に形成されるときに発生する。この反転層は、n形のソースとドレインとを電気的に接続し、多数キャリアがソースとドレインとの間を導通できるようにする。

【0004】

パワーMOSFETのゲート電極は、一般に二酸化シリコンの介在する絶縁層によって、導電チャネル領域から分離されている。ゲートがチャネル領域から絶縁されているので、MOSFETを導電状態に維持するために、又はMOSFETをオン状態からオフ状態に若しくは逆の方向に切り換えるために、ゲート電流はほとんど必要としない。ゲート電極はMOSFETのチャネル領域とコンデンサを形成するので、ゲート電流はスイッチングしている間は小さい。このため、スイッチングの間は、充電及び放電電流（「変位電流（displacement current）」

」) しか必要としない。絶縁されたゲート電極に関しては入力インピーダンスが高いので、ごく僅かな電流しかゲートに要しないため、ゲート駆動回路を容易に実現することができる。

【0005】

さらに、MOSFET内の電流の伝導は多数キャリアの移動のみによって起こるため、過剰な少数キャリアの再結合に関する遅延は存在しない。これにより、パワーMOSFETのスイッチング速度は、バイポーラトランジスタやサイリスタのスイッチング速度よりも数桁高い大きさにすることができる。バイポーラトランジスタやサイリスタと違って、パワーMOSFETは、スイッチング過渡現象の間に「二次降伏 (second breakdown)」として周知の破壊的な故障メカニズムに合うことなく、比較的長い継続時間にわたって高い電流密度及び高電圧の印加を同時に耐えるように設計することができる。パワーMOSFETの順方向の電圧降下は温度が増加するにつれて大きくなるので、パワーMOSFETを容易に並列にすることもでき、これにより、並列に接続されたディバイス内の電流分布を等分にすることができる。このことは、バイポーラ接合型のトランジスタ又はサイリスタなどの、バイポーラ伝導を頼りにしているディバイスとは対照的である。バイポーラ伝導では、オン状態の電圧降下は動作温度に逆比例する。

【0006】

しかしながら、パワーMOSFETの前述した有益な特性は、少数キャリアの注入がないことから生ずる、高電圧のディバイスに対するMOSFETのドリフト領域のオン時の抵抗が比較的高いことによって、一般に、相殺されてしまう。その結果、市販のシリコンMOSFETの順方向の動作電流密度は、一般に、同一のオン状態の電圧降下に対するバイポーラトランジスタについての、100～120A/cm²と比較すると、600ボルトのディバイスでは、一般に40～50A/cm²の範囲の、比較的低い値に制限されてしまう。

【0007】

炭化ケイ素のMOSFETについてのさらなる制約は、反転層を利用するMOSFETの結果としても発生する。反転層を使用する結果として、炭化ケイ素のモビリティが低いことは、チャネルの抵抗率を高くする結果を生じる。従って、

炭化ケイ素の好ましい特性の利点は、反転層を使用すること及び炭化ケイ素のモビリティが低いことの結果として生ずる、MOSFETデバイスの制約によって見劣りさせられてしまう。

【0008】

ACCUFETは、少なくともある程度、MOSFETの前記制約を克服するために開発された。ACCUFETは、ゲートの酸化物をベースから保護するために、分離された埋込みベース層を使用する。ACCUFETは、MOSFETにおけるような反転層ではなく、蓄積層に依存しており、このため、炭化ケイ素内のMOSFETよりもはるかに高いチャネルのモビリティを有している。ACCUFETは、Shenoy氏らの、「The Planar 6H-SiC ACCUFET: A New High-Voltage Power MOSFET Structure」、IEEE Electron Device Letters、第18巻、No. 12、1997年12月、の中でさらに説明されている。

【0009】

さらに、高い動作温度では、ゲート酸化物内のファウラーノルドハイム(F-N)電流によるゲート酸化物の劣化のために、MOSFET又はACCUFETの理論的な限界を達成することができない。該酸化物内へのファウラーノルドハイムの注入は、MOSFETの酸化物に損傷を与えることになり、最終的には、結果としてゲート酸化物の絶縁破壊(breakdown)を引き起こして、デバイスの故障を発生させてしまう。この絶縁破壊は、酸化物に、例えば、UMOSFETのゲートのトレンチ内の酸化物のコーナに集まっているフィールド領域を有するMOSFETの構造によってさらに悪化されることがある。Agarwal氏らの「Temperature Dependence of Fowler-Nordheim Current in 6H- and 4H-SiC MOS Capacitors」、IEEE Electron Device Letters、第18巻、No. 12、1997年12月を参照のこと。

【0010】

ゲート酸化物へのF-N注入、すなわち「ホットエレクトロン」注入は、炭化ケイ素のバンドギャップが広いため、炭化ケイ素で形成される半導体素子ではさらに問題となる。これは、前記ゲート酸化物への反転層又は蓄積層のキャリアの注入は、炭化ケイ素の伝導帯のエッジと該ゲート酸化物の伝導帯のエッジとの間

のバリア高さの関数であることによる。このため、バンドギャップが3.26 eVの4H-SiCのF-N電流の電流密度は、バンドギャップが2.85 eVの6H-SiCよりも高いことが判明している。Agarwal氏らの「Temperature Dependence of Fowler-Nordheim Current in 6H- and 4H-SiC MOS Capacitors」、IEEE Electron Device Letters、第18巻、No. 12、1997年12月を参照のこと。この問題は、高温でさらに悪化することがある。高温では、炭化ケイ素とゲートの絶縁体との間の有効なバリアの高さが、キャリアのエネルギー内の統計的な広がりによって引き下げられる。このため、SiC内では極めて魅力的に見えるディバイスが、MOSFET及びACCFETなどの4H-SiCのMOSベースのディバイスのオン状態及びオフ状態の両方の動作の間のゲート酸化物内のF-N電流の結果、時間に依存する誘電体の絶縁破壊によって制限されてしまう。

【0011】

前記MOSFET及びACCFETの代わりの接合型電界効果トランジスタ(JFET)は、オン状態の電圧降下を小さくして、良好なゲートの電流及び電圧のコントロールを提供することができる。さらに、前記JFETは極めて信頼性が高く、また良好な高温動作を提供することができる。該JFETは前記MOSFET及びACCFETの半導体-酸化物の界面を持っていないため、F-N電流の結果として生ずる前記酸化物の絶縁破壊は問題にはならない。しかしながら、該JFETは、多くの回路でその使用が制限される「ノーマリオン」ディバイスである。これは、電力システムの信頼性がゲート駆動の故障の間に危険にさらされるためである。JFETは、電圧の利得(ゲイン:ゲート電圧に対するドレイン電圧の比率)が比較的低いという難点もある。従って、ディバイスがオフ状態にある場合、大きなゲートバイアスが必要とされる。このJFETの最大絶縁破壊電圧は、ゲート-ソースの絶縁破壊電圧によっても制限される。さらに、該JFETには大きな漏れ電流もある。

【0012】

以上の説明からして、使いやすく、ゲートのコントロールを行うことができる、高電圧の電力炭化ケイ素における改良についての必要性がある。

【0013】

[本発明の目的及び要約]

前述に鑑みて、本発明の1つの目的は、炭化ケイ素の電力ディバイスを提供することにある。

【0014】

本発明のさらなる目的は、MOSディバイスに対して信頼性を高めることができる炭化ケイ素の電力ディバイスを提供することにある。

【0015】

本発明の他の目的は、ファウラーノルドハイム電流の効果を減少させることができる炭化ケイ素の電力ディバイスを提供することにある。

【0016】

本発明のさらに他の目的は、ノーマリオフの半導体素子を提供することにある。

【0017】

本発明のこれらの目的は、ゲートにバイアスが印加されないとき、「ピンチドオフ (pinched off)」のゲート領域を作るために、半導体のゲート層及び埋込みベース領域を利用することによってゲートの絶縁体を取り除く、炭化ケイ素チャネルの半導体素子によって提供される。ゲートの絶縁層を取り除くことによって、MOSFET及びACCUFETに関連したF-N電流の問題の影響を排除することができる。バイアスをゲートに印加することによって、導電チャネルをベース領域とゲート層との間に形成して、キャリアが流れることができるようになる。ノーマリオフのディバイスをなお提供しながら、絶縁ゲートを取り除くことによって、本発明は、高温の用途に使用するためのMOSFET、ACCUFET及びJFETなどの、前述したディバイスの多くの制限を克服することができる。本発明のディバイス内のチャネル領域にpn接合を設けるために、ゲート層として半導体材料を使用することによって、ドリフト層内に形成されたチャネルをバッファ (buffer) して、これにより、ゲート層上の全ての「ホットエレクトロン」効果を減少させることができる。

【0018】

本発明の特別な実施の形態においては、半導体ディバイスは、中に第1の面と

チャネル領域とを有する第1の伝導形の炭化ケイ素のドリフト層を含んでいる。

第2の伝導形の半導体材料の埋込みのベース領域が、チャネル領域を規定するよう前記炭化ケイ素のドリフト層内に設けられる。第2の伝導形の半導体材料のゲート層が、前記炭化ケイ素のドリフト層のチャネル領域に隣接する該炭化ケイ素のドリフト層の第1の面上に形成される。ゲート接点も、該ゲート層上に形成される。

【0019】

第1の伝導形の半導体材料のソース領域は、前記埋込みのベース領域と前記ドリフト層の第1の面との間に設けることもできる。前記ソース領域は、前記ドリフト層のキャリア濃度よりも大きいキャリア濃度にドープされる。第1の伝導形の半導体材料のドレイン領域は、半導体ディバイスが横方向の炭化ケイ素のチャネル領域を有する垂直方向のディバイスを備えるように、前記ドリフト層の第2の面に隣接して設けることもできる。

【0020】

特別な実施の形態においては、この炭化ケイ素のチャネルの半導体ディバイスは、前記ゲート層と前記ゲート接点との間に、高くドープされた第1の伝導形の半導体材料の層を、さらに備えることができる。この層は、ディバイスの動作中にゲートをソース電流に対して制限するように、正のゲートバイアスが印加されるとき、逆バイアスされたダイオードを提供することができる。あるいはまた、そのカソードを前記ゲート接点に接続したダイオードを、ゲート電流を制限するように半導体ディバイスの外部に設けることができる。

【0021】

本発明のさらに別の実施の形態においては、第1の伝導形がn形の導電性であり、第2の伝導形がp形の導電性である炭化ケイ素のチャネルの半導体ディバイスが提供される。あるいはまた、第1の伝導形がp形の導電性であり、第2の伝導形がn形の導電性とすることができます。

【0022】

その上、前記炭化ケイ素のドリフト層の第1の面に対向する、該炭化ケイ素のドリフト層の第2の面に隣接する炭化ケイ素の基板を含むディバイスを提供する

ことができる。そのようなディバイスでは、前記炭化ケイ素の基板が第1の伝導形の高濃度にドープされた炭化ケイ素の基板である、水平方向チャネルのバッファゲートのトランジスタを提供することができる。前記炭化ケイ素の基板が前記第2の伝導形の高濃度にドープされた炭化ケイ素の基板である、水平方向チャネルのバッファゲートのサイリスタを提供することもできる。いずれの場合でも、第1の伝導形がn形の導電性で、第2の伝導形がp形の導電性であるか、又は第1の伝導形がn形の導電性で、第2の伝導形がp形の導電性とすることもできる。

【0023】

本発明によるディバイスにおいては、前記埋込みベース領域及び前記ゲート層の半導体材料は、炭化ケイ素、窒化ガリウム又は窒化インジウムガリウムとすることができる。さらに、前記ソース領域を前記ベース領域に電気的に接続することができる。

【0024】

本発明のトランジスタによる実施の形態では、炭化ケイ素チャネルのトランジスタの単位セルは、第1のキャリア濃度になるようにドープされた、第1の伝導形の炭化ケイ素の基板を含んでいる。該第1の伝導形の炭化ケイ素の第1の層は、ディバイスの所望の絶縁破壊電圧に対応するようなドーピング及び厚さを有する前記炭化ケイ素の基板上に形成される。このドーピングによって、一般に、第1のキャリア濃度よりも小さいキャリア濃度を有する前記第1の層が結果として発生する。第2の伝導形の半導体材料の埋込み領域が、炭化ケイ素の前記第1の層内に形成され、炭化ケイ素の該第1の層のチャネル領域の下側に伸びる。前記第1の伝導形の半導体材料の第1の領域が、炭化ケイ素の前記第1の層のキャリア濃度よりも大きいキャリアの濃度にドープされる。前記第1の伝導形の半導体材料の前記第1の領域が、半導体材料の前記埋込み領域と前記基板に対向し炭化ケイ素の前記第1の層のチャネル領域に隣接する、炭化ケイ素の第1の層の面との間に形成される。

【0025】

前記第2の伝導形の半導体材料のゲート層が、炭化ケイ素の前記第1の層上に

形成され、半導体材料の前記第1の領域から炭化ケイ素の前記第1の層の前記チャネル領域に伸びる。ゲート接点がまた、炭化ケイ素の前記第1の層のチャネル領域を規定するように、半導体材料の前記ゲート層上に形成される。第1のオーム金属接点が、半導体材料の前記第1の領域上に形成され、第2のオーム金属接点が、炭化ケイ素の前記第1の層に対向する前記炭化ケイ素の基板上に形成される。随意的に、高い濃度にドープされた第1の伝導形の半導体材料の層を、前記ゲート層と前記ゲート接点との間に設けることができる。

【0026】

本発明のサイリスタの実施の形態では、炭化ケイ素チャネルのサイリスタの単位セルは、第1のキャリア濃度になるようにドープされた、第2の伝導形の炭化ケイ素の基板を含んでいる。第1の伝導形の炭化ケイ素の第1の層は、前記第1のキャリア濃度よりも小さいキャリア濃度になるようにドープされた前記炭化ケイ素の基板上に形成される。前記第2の伝導形の半導体材料の埋込み領域が、炭化ケイ素の前記第1の層内に形成され、炭化ケイ素の前記第1の層のチャネル領域の下側に伸びる。炭化ケイ素の前記第1の層のキャリア濃度よりも大きいキャリアの濃度にドープされた前記第1の伝導形の半導体材料の第1の領域が、半導体材料の前記埋込み領域と前記基板に対向し炭化ケイ素の前記第1の層のチャネル領域に隣接する、炭化ケイ素の前記第1の層の面との間に形成される。前記第2の伝導形の半導体材料のゲート層が、炭化ケイ素の前記第1の層上に形成され、半導体材料の前記第1の領域から炭化ケイ素の前記第1の層の前記チャネル領域に伸びる。ゲート接点が、炭化ケイ素の前記第1の層の前記チャネル領域を規定するように、半導体材料の前記ゲート層上に形成される。第1の接点が、半導体材料の前記第1の領域上に形成され、第2の接点が、炭化ケイ素の前記第1の層に対向する前記炭化ケイ素の基板上に形成される。随意的に、高い濃度にドープされた第1の伝導形の半導体材料の層を、前記ゲート層と前記ゲート接点との間に形成することができる。

【0027】

本発明の前述したまた他の目的、利点的及び特徴、並びにそれらを達成する方法は、本発明の後述する詳細な説明を、好ましい典型的な実施の形態を示す添付

の図面と併せて考慮すると、一層容易に明白になる。

【0028】

【好ましい実施の形態の詳細な説明】

次に、本発明の好ましい実施の形態が示されている添付の図面を参照して、本発明を、以下、詳細に説明する。しかしながら、本発明は多くの種々の形態で具体化することができ、また本願で説明する実施の形態に限定されると解釈すべきではない。むしろ、これらの実施の形態は、この開示が周到かつ完全であり、当業者に本発明の範囲を十分に伝えるために提供される。同じの参照番号は、全体を通して同一の素子を指す。さらに、図中で示した種々の層や領域は、概略的に示されている。また、当業者は理解するように、本願で基板又は他の層の「上」に形成された層を参照することは、基板若しくは他の層の直ぐ上、又は基板若しくは他の層上に形成された中間の層上に形成された層のことを指す。また、当業者は理解するように、本発明は層に関して説明されているが、そのような層はエピタキシャルの方法又は埋込みによって形成することができる。従って、本発明は、添付の図面の中で示した相対的な寸法及び間隔に限定されるものではない。

【0029】

図1、図3及び図5は、本発明の種々の実施の形態の単位セルを示している。これらの単位セルを、該単位セルの両方の縦方向の周辺を忠実に描写することによって、複数の単位セルのディバイスを作ることができる。当業者が理解するように、本発明の単位セルは、ディバイスの右の縦方向の周辺に単位セルを忠実に描写することによって、単一の単位セルのディバイスを作るように利用することもできる。

【0030】

図1に示す本発明の水平チャネルバッファゲートのトランジスタ（H C B G T）は、第1の面11を有する、第1の伝導形の炭化ケイ素の大きな単一結晶の炭化ケイ素基板10を備えている。図1に示すように、この第1の伝導形の炭化ケイ素は、n形の導電性炭化ケイ素である。この基板10は、上面すなわち第1の面11及び該上面の反対側の下面すなわち第2の面13を備えている。第1の伝導形の炭化ケイ素の第1の層12は、基板10の第1の面11上に形成されて、

ドレイン領域を形成することができる。図1に示すように、ドレイン領域12はn⁻の炭化ケイ素のドリフト層である。あるいはまた、n⁻基板は、該基板内にn⁺及びn⁻領域を提供するように、該基板の下面内に埋め込まれたn⁺領域を持つことができる。このため、本実施の形態では、該基板及び第1の層を参照することは、該基板上及び該基板中の両方に形成された層のことを指す。基板10のキャリア濃度は、第1の層12のキャリア濃度よりも高い。これにより、この基板はn⁺基板と呼ぶことができる。この基板10には、1Ω-cm以下のシート抵抗率が好ましい。第1の層12については、約10¹² cm⁻³から約10¹⁷ cm⁻³のキャリア濃度が適している。前記基板の厚さは、約100 μmから約500 μmである。第1の層12の厚さは、約3 μmから約500 μmである。

【0031】

第1の層12の中に、第2の伝導形の半導体材料14の領域が形成され、第1の層12とは反対の伝導形のベース領域が提供される。このベース領域14は、エピタキシャル的に成長されるか、又は第1の層12内に埋め込まれる。また、図1に示した実施の形態では、ベース領域14はp形の導電性半導体材料で形成される。第1の層12内には、ディバイスのソースを形成する、n⁺の導電性半導体材料の領域18も形成される。図1に示すように、このソース領域18は、ベース領域14に接触するように形成されるが、ベース領域14はソース領域18を超えて、第1の層12内に形成されるチャネル領域15内に伸びる。n⁺のソース領域18は、幅が約1μmから約5μmであることが好ましく、ゲートの下側にはできるだけ伸びないことが好ましい。例えば、この距離は約0.5μmから約3μmの範囲に広がってもよい。約10¹⁸ cm⁻³より大きなキャリア濃度が、n⁺領域18にとってふさわしい。ベース領域14とソース領域18とのいずれか又は両方の半導体材料は、炭化ケイ素又は窒化ガリウム(GaN)若しくは窒化インジウムガリウム(InGaN)などの他の半導体材料にすることができる。

【0032】

ベース領域14は、キャリア濃度が約10¹⁶ cm⁻³から約10¹⁸ cm⁻³で、厚さが約0.3μmから約5μmであることが好ましい。ベース領域14は、ソース領域18を約3μmから約12μm通り過ぎて伸びることが好ましい。約10¹⁸ cm⁻³より大きいキ

キャリア濃度が、 n^+ のソース領域18にとってふさわしい。

【0033】

図1には、ドリフト層12上に形成され、ソース領域18まで伸びる第2の伝導形の半導体材料のゲート層16も示されている。ゲート層16は半導体材料であり、絶縁体ではないので、該ゲート層16はドリフト層12と電気的に接触する。図1の実施の形態に示されているように、この第2の伝導形のゲート層は、p形半導体材料のゲート層である。ゲート層16の半導体材料は、炭化ケイ素又は窒化ガリウム(GaN)若しくは窒化インジウムガリウム(InGaN)などの他の半導体材料とすることができる。

【0034】

図2でさらに分かるように、ゲート接点20がゲート層16上に形成され、ソース接点22がソース領域18と電気的に接触するように形成される。図1でさらに示されるように、ソース接点は、ソース領域18とベース領域14との両方と接触するように形成される。ドレイン接点24も、第1の層12の反対側の基板10の面上に形成される。接点20, 22及び24は、後述するように、オーム接点を形成するためのどのような適当な材料からでも作ることができる。

【0035】

p形のゲート層16は、バイアス電圧がゲート接点20に印加されるとき、チャネル領域15内に導電チャネルが形成されるように、ゲート接点20を第1の層12から分離(isolate)するような働きをする。ゲート接点20にバイアスが印加されないとき、電流がソース接点22からドレイン接点24に流れないように、前記チャネルはゲート層16とベース領域14との間をビンチオフされる。ノーマリオフ状態を実現するために、ベース領域14とゲート層16との間の間隔のみならず、第1の層12、ベース領域14及びゲート層16のドーピングレベルも、キャリアのベース領域14とゲート層16との間のチャネル領域15を空乏化するように選択する必要がある。

【0036】

オン状態の動作では、正のバイアスがゲート接点20に印加されるとき、電気的に導電性のチャネルが、ゲート層の下側のチャネル領域15内に形成され、電

流がソース接点22からドレイン接点24に流すことができる。しかしながら、ゲート層16とソース領域18との間のp/n接合のために、ゲート-ソース間の接合が順方向にバイアスされたダイオードのように動作するように、p/n接合のビルトイン電圧よりも大きい電圧がゲートに印加される場合、電流がゲートからソースに流れることになる。本発明の1つの実施の形態においては、逆バイアスされたダイオード23を介してゲート電圧をゲート接点に加えることによって、本発明によるデバイスのゲート電流を制限することができる。このダイオードは、図1のH C B G T構造から切り離された独立のデバイスとすることができる。そのような場合、ダイオード23のアノードに接続された端子25に、正のゲート電圧を印加する。このとき該ダイオード23のカソードは、ゲート接点20に電気的に接続されている。

【0037】

図2は、図1の2つの単位セルを含むデバイスを示している。図2で分かるように、ベース領域16は、距離Wだけ間隔が開いている。本発明の動作特性をコントロールするように、この距離Wを調整することができる。一般に、該距離Wが減少するにつれて、デバイスが示す抵抗は増加するが、より効果的なチャネルのピンチオフが発生する。しかしながら、大きな値のWを用いると、チャネル密度が減少し、Wが極めて大きな値の場合は、チャネル及びソースの抵抗は極めて大きくなる。さらに、隣接するベース領域間の距離Wは、デバイス内の単位セルの数及び所望の動作特性に依存する。

【0038】

前述したように、ベース領域14は厚さが約0.3μmから約5μmで、ゲート接点20の下側に約3μmから約12μm伸びることが好ましい。しかしながら、該ベース領域14がゲート接点の下側に伸びる距離は、特定の用途によって変化することがある。特に、ゲート接点の下側のベース領域18間の間隔は、チャネル領域15内の抵抗と電界とを調整するために利用することができる。ベース領域14間の間隔Wが狭くなるにつれて、ゲート層16近傍の電界が減少する。約1μmから約20μmの間隔が好適である。前述したように、ドリフト層12がベース領域のp+/n接合及びゲートバイアスがゼロの場合のn/p+のゲート接合のビルトイン電

位によって完全に空乏化されるように、ドリフト層12及びベース領域14のドーピングを選択することが好ましい。

【0039】

図3は、本発明による別のHCBGTを示している。図3で分かるように、図1の単位セルは、さらに、ゲート層18とゲート接点20との間に形成された、第1の伝導形の半導体材料の第2のゲート層26を備えている。図3に示されたこの第2のゲート層26は、n形の半導体材料である。このn形の半導体材料は炭化ケイ素であることが好ましいが、窒化ガリウム又は窒化インジウムガリウムから作ることもできる。第1及び第2のゲート層16及び26のドーピング及び厚さは、n⁺p⁺n⁻トランジスタの絶縁破壊(breakdown)が、印加されたゲートバイアスよりも大きいように選択される。約5×10¹⁶ cm⁻³から約1×10¹⁸ cm⁻³のキャリア濃度を、第2のゲート層26に対して用いることができる。約0.3 μmから約3 μmの厚さは、第2のゲート層26に対して好適であり、約0.3 μmから約3 μmの厚さは第1のゲート層16に好ましい。しかしながら、当業者が理解するように、様々な他のレベルのドーピング及び厚さを、ゲート層16及び26を形成する材料によって使用することができる。図3の単位セルを取り入れるデバイスの他の特性は、図1に関して本実施の形態で明確に述べたものと本質的に同一である。

【0040】

第2のゲート層26を含むことによって、逆バイアスされたp/n接合をHCBGTのゲート構造の中に組み込み、正のバイアスがゲート端子に印加されるとき、ゲート接点20からソース接点22への電流の流れを阻止することができる。従って、図3の単位セルを組み入れているデバイスは、ゲート電流を避けるために外部のダイオードを必要としない。

【0041】

図4は、本発明による水平チャネルのバッファゲートのサイリスタ(horizontal channel buffered gate thyristor:HCBGTh)を示している。図4で分かるように、HCBGThの構造は、前記HCBGTの構造と同様である。基板10は、第1の伝導形の半導体材料で形成されている。図4に示すように、該基

板は、このため、n形の炭化ケイ素の基板又は、前述したように、n形の炭化ケイ素の層とすることができます。図4のディバイスと図3のそれとの間の主な相違は、前記基板上に形成された領域の伝導形が、図3のそれらの逆であることである。従って、前記ドリフト層はp⁻のドリフト層12'であり、前記ベース領域はn⁻のベース領域14'であり、前記第1のゲート層はn形のゲート層16'であり、また前記第2のゲート層はp形のゲート層26'である。さらに、図1～図3のソース領域18及びソース接点22は、p⁺のエミッタ領域及びエミッタ接点22であるエミッタ領域18'となり、ドレイン接点24はコレクタ接点24となる。そのようなディバイスでは、バイアスがゲート接点20に印加されると、電流がエミッタ接点22からコレクタ接点24に流れる。n形及びp形領域についての適当なキャリア濃度及び寸法は、図1～図3のディバイスのn形及びp形領域のものと同程度である。

【0042】

図4に示したHCBGT_hには、内部のゲートダイオードを提供するために、オプションのp形層26'が含まれている。当業者なら理解するように、図1の構造に類似した構造を提供するために、この層を取り除くことができる。そのような場合、ディバイスが動作しているとき、ゲート電流をコントロールするために、外付けのダイオードを利用することができる。

【0043】

図5は、本発明のさらに別の実施の形態を示している。図1～図4のそれぞれのディバイスでは、前記ソース接点22及び前記埋込みのベース領域14は、電気的に短絡されていた。しかしながら、図5の実施の形態では、ゲート接点20及び第1のゲート層16は、第3の寸法で前記ベース領域に短絡されている。ソース接点22'は、ドリフト層12の部分だけ前記ベース領域から離れている。図5で示したHCBGTは、内部のゲートダイオードを提供するために、オプションのn形層26を含んでいる。当業者が理解するように、図1の構造に類似した構造を提供するために、この層を取り除くことができる。そのような場合、ディバイスが動作しているときにゲート電流をコントロールするために、外付けのダイオードを利用することができる。さらに、図4の構造体は、そのベース領域

を前記ゲート層及びゲート接点に電気的に接続したサイリスタを提供するために
、図5に反映したように、そのゲートの設計を修正することもできる。

【0044】

図5に示すように、前記p形のベース領域14を前記ゲート層16に短絡することによって、一層効果的なピンチオフを行うことができる。この場合、前記空乏領域が、1つの方向だけ（図1～図4の構造体のように）ではなく、両方の方向（頂部及び底部）からチャネル内に伸びる。これは、オン状態の動作の間にチャネル領域を比較的広くすることができ、これにより、デバイスのオン状態の抵抗を減らすことができる。

【0045】

n形の伝導性である前記第1の伝導形と、p形の伝導性である前記第2の伝導形とに関して、前述のデバイスを説明してきたが、当業者が理解するように、本発明の教示により、相補形デバイスも作ることができる。従って、前記第1の伝導形をp形の伝導性に、前記第2の伝導形をn形の伝導性にすることができる。

【0046】

当業者は理解するように、本発明の種々の実施の形態は、従来の半導体製造技術を利用して製造することができる。しかしながら、エピタキシャル層12の形成に関しては、米国特許第4,912,064号に説明されているような、エピタキシャル成長プロセスを利用して、この層を基板10上に成長させることが好ましい。この米国特許の公開内容は、参照することによって、あたかも完全に説明されているように本願に組み込まれる。あるいはまた、前述したように、軽くドープされた基板を、基板10をより高くドープするようになされた埋込みとして利用することができる。

【0047】

本発明によるデバイスは、デバイスを取り巻くメサをエッティングすることによって、エッジ終端させることもできる。このメサ（図示せず）は、前記第1の層12を通って基板10まで伸びることができる。あるいはまた、このメサは、部分的に前記第1の層12を通って伸びることができる。そのような場合では

、約100Åから約5μmの深さで、メサのエッジから約5μmから約500μmの距離離に、イオンを露出した層12内に注入することができる。そのような注入は、ブロッキングモードの動作の間に、主接合から終端領域のエッジまで、電界の中で徐々に減少できるので好ましい。約 $5 \times 10^{15} \text{ cm}^{-3}$ から約 $1 \times 10^{17} \text{ cm}^{-3}$ までのキャリア濃度を利用して、メサを取り囲む第1の層12とは反対の伝導形の低いドープ領域を形成することができる。次いで、いずれの場合でも、メサの露出した表面上（図示せず）に不活性化層（passivation layer）を形成する。そのような不活性化層は、 SiO_2 若しくは他の好適な材料又は当業者に周知の積み重ねたパシバント（passivant）とすることができます。

【0048】

前述したそれぞれの実施の形態においては、前記基板及び層は、6H, 4H, 1.5R又は3Cの炭化ケイ素のグループから選択される炭化ケイ素から形成することができるが、4Hの炭化ケイ素が前述したそれぞれのディバイスに対して好ましい。オーム接点用の好適な金属には、ニッケル、ケイ化タンタル及びプラチナが含まれる。さらに、アルミニウム／チタンの接点も、本発明のオーム接点を形成するために使用することができる。これらの特定の金属を述べてきたが、炭化ケイ素が使われるオーム接点を形成する、当業者に周知の他の全ての金属を使用することができる。

【0049】

前述したディバイスのエピタキシャル層及び注入された領域のキャリア濃度又はドーピングレベルに関しては、一般に、 p^+ 又は n^+ の伝導形の領域であり、エピタキシャル層は、過度の結晶欠陥又はエピタキシャル欠陥を引き起こすことなく、できるだけ高濃度にドーピングする必要がある。 p 形領域を作る好適なドーパントには、アルミニウム、ホウ素又はガリウムが含まれる。 n 形領域を作る好適なドーパントには、窒素及びリンが含まれる。アルミニウムは p^+ 領域に対して好ましいドーパントであり、米国特許第5,087,576号に記載されているような高温イオン注入法を用いて、また、約1000°Cと約1500°Cとの間の温度を使用して、アルミニウムを前記 p^+ 領域に注入することが好ましい。この米国特許の公開内容は、参照することによって、あたかも完全に説明されているように本願に

組み込まれる。

【0050】

前述したデバイスは、MOSFET又はACCFETのゲートの絶縁層ではなく、半導体材料を用いてゲート領域をバッファリングすることによって、F-N電流の影響を減らすことができる。このバッファ層は、F-N電流を効果的に減少させることができ、これにより、そのような電流の結果として生じるデバイスの劣化を少なくすることができる。さらに、本発明によるデバイスは、「ノーマリオフ」デバイスとすることができる、これにより、多くの用途においてJFETの制約を克服することができる。チャネル領域が水平であるため、垂直に壁のあるJFETよりも、はるかに大きなゲートを形成することができる。このため、好都合なブロッキングのゲイン/オン抵抗の矛盾する動作(trade off)を行うことができる。一般に、ゲート領域が大きくなると、ブロッキングゲインが高くなり、漏れ電流が小さくなる。HCBGTはノーマリオフのデバイスであるため、大きなゲート領域を必要とするが、これは垂直方向のゲート構造では可能でない。

【0051】

HCBGTのオン状態の動作の間の導電チャネルは、p⁺のゲート16とp形のベース領域14との間の非空乏化部分に形成された、三次元バルク(3-D bulk)の炭化ケイ素である。これは、二次元シートの電荷を用いて動作するMOSのコントロールデバイスと対照的である。HCBGT内の伝導がバルクの、低くドープされた炭化ケイ素内で起こるため、キャリアのモビリティをMOSゲートのデバイスよりもはるかに高くすることができる(10~100倍)。前記導電チャネルが接合部から離れているため、ホットエレクトロンの注入はHCBGT設計では発生せず、このため、そのような注入による損傷は生じない。従って、本発明は、長期間にわたって、高電圧、大電流及び高い動作温度で動作することができるデバイスを提供することができる。

【0052】

図面及び明細書において、本発明の典型的な好ましい実施の形態を開示してきた。特別な用語を使用したが、一般的なまた説明する感覚でのみそれらを使用し

ているのであり、限定する目的ではない。本発明の請求範囲は、添付の特許請求の範囲の中に記載される。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の単位セルの断面図である。

【図2】

本発明による2つの単位セルのディバイスの断面図である。

【図3】

本発明の第2の実施の形態の断面図である。

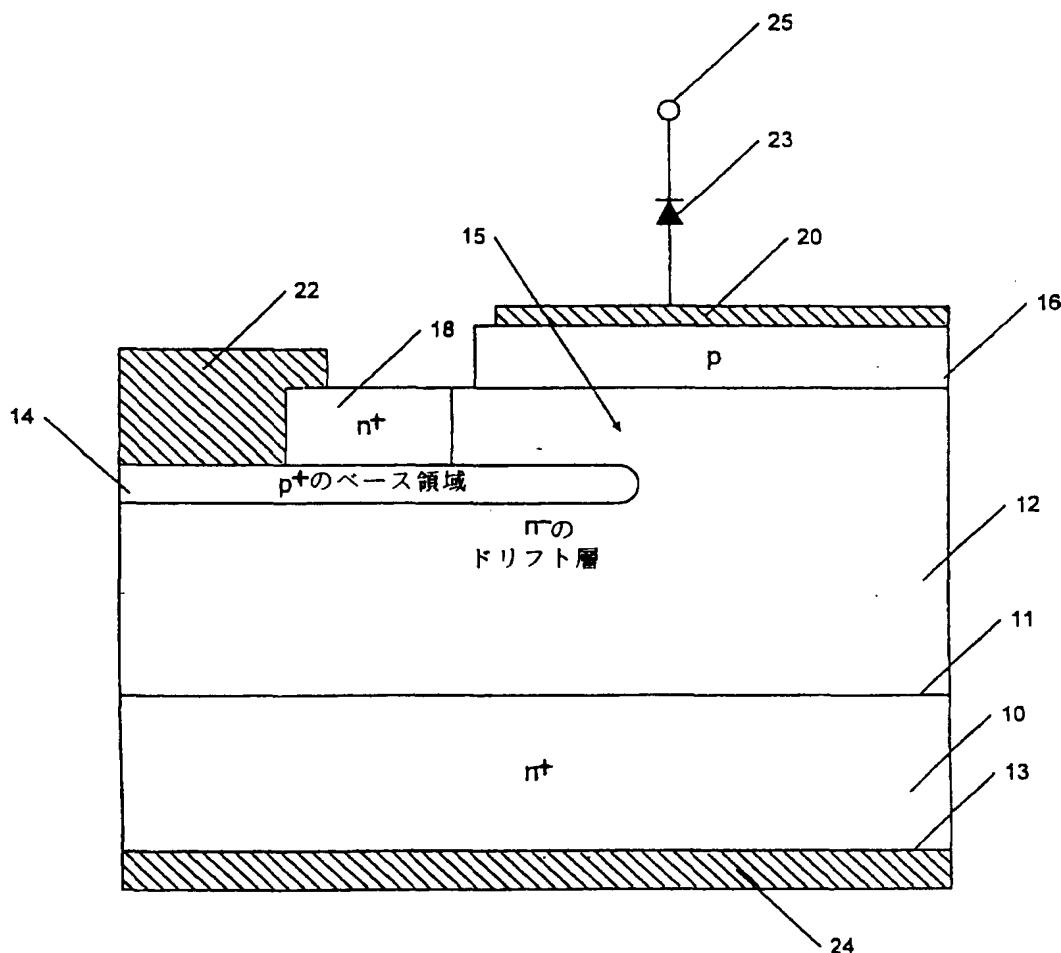
【図4】

本発明の第3の実施の形態の断面図である。

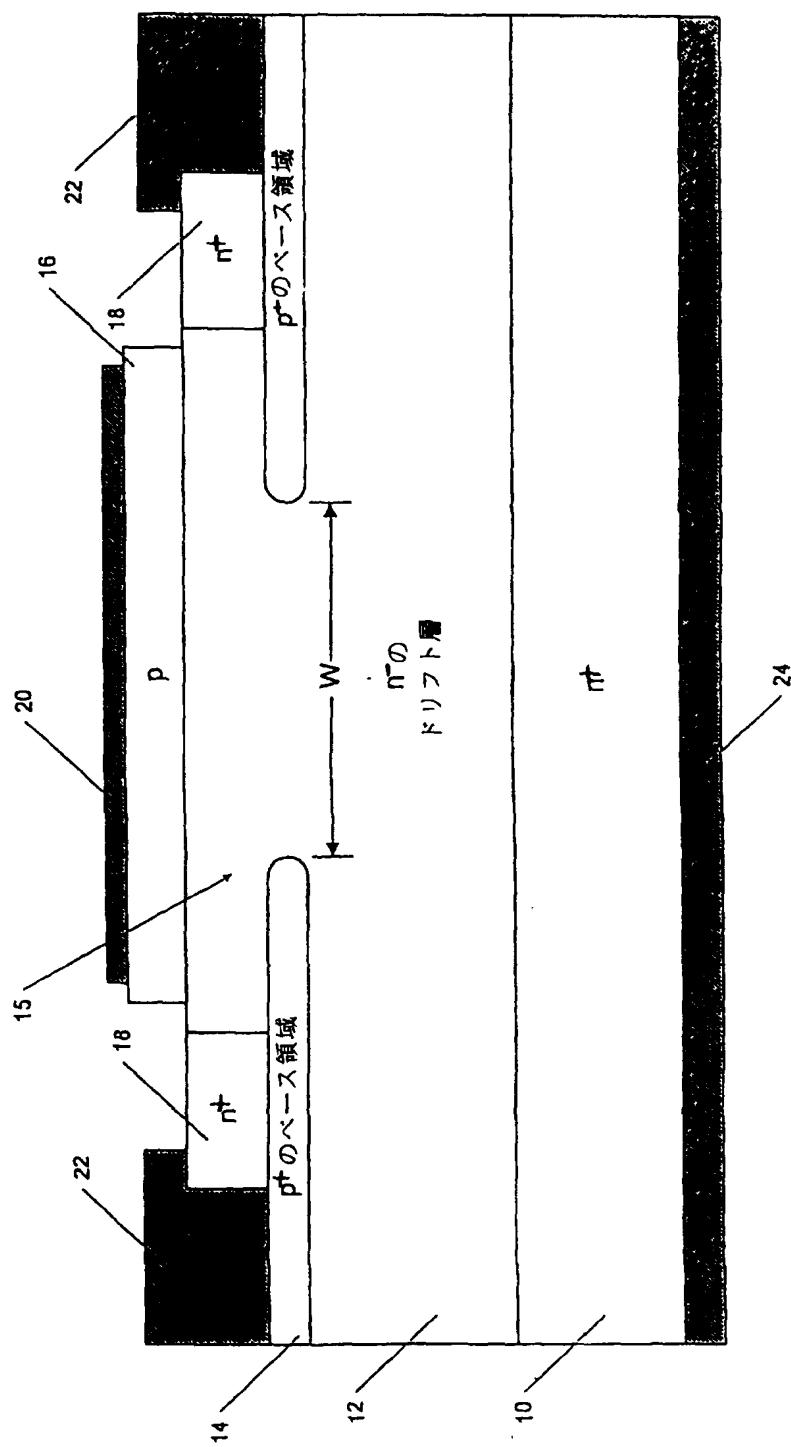
【図5】

本発明の第4の実施の形態の断面図である。

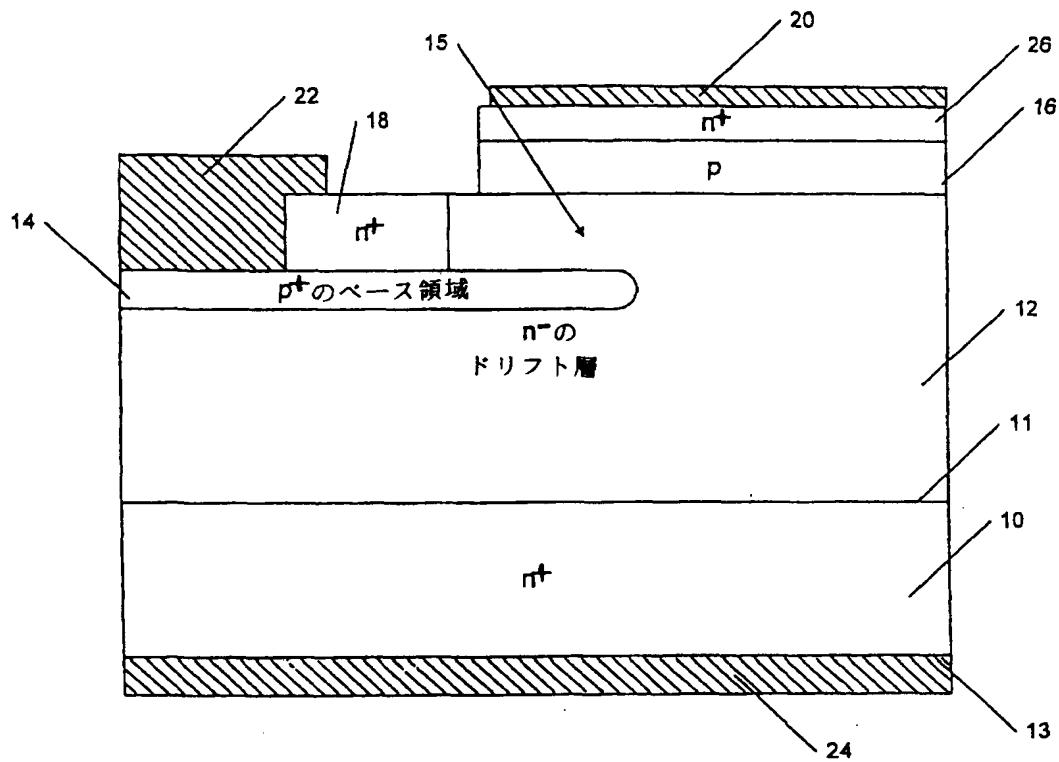
【図1】



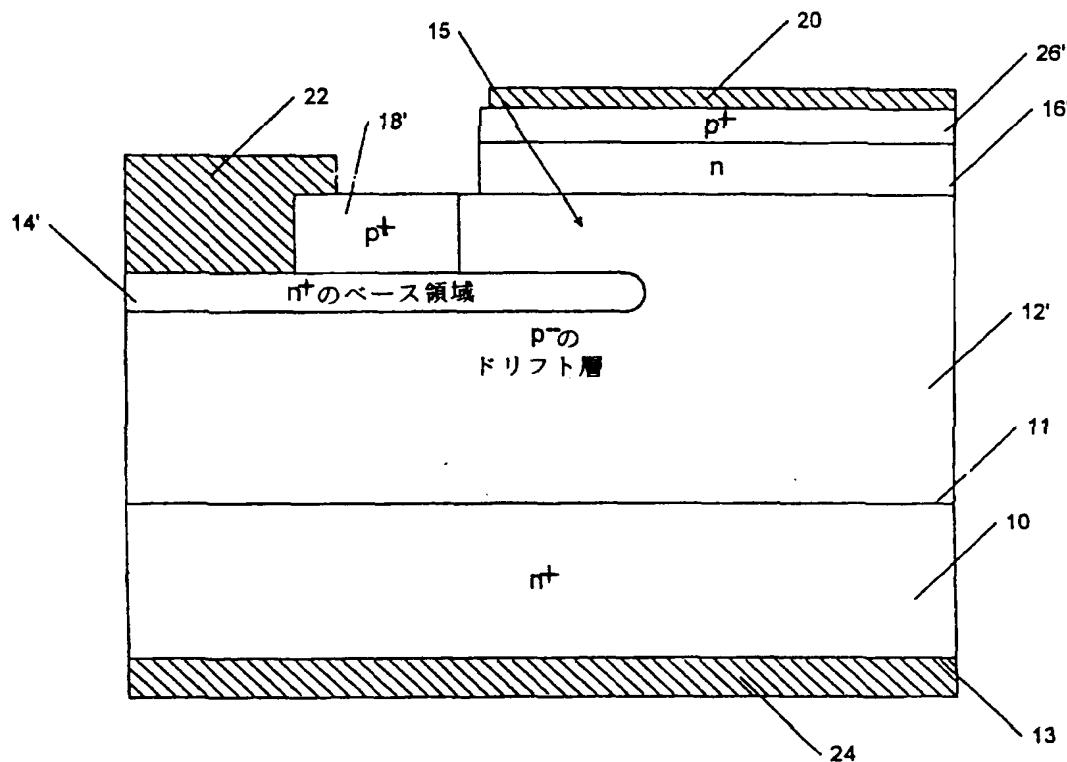
【図2】



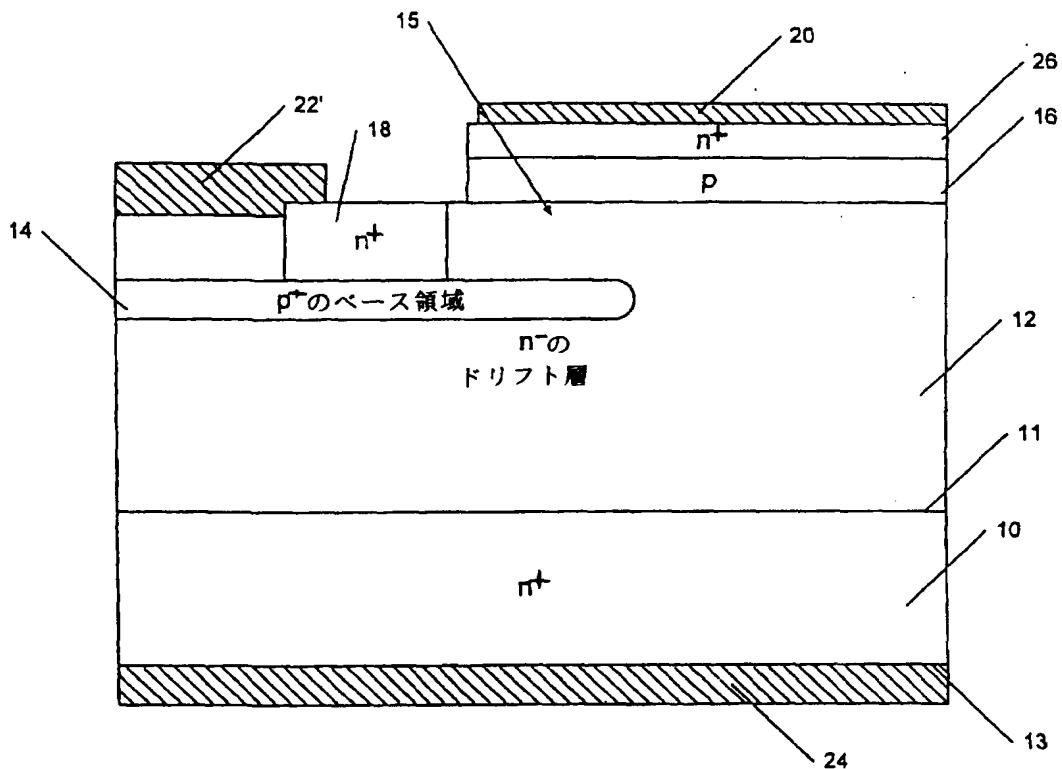
【図3】



【図4】



【図5】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年7月21日(2000.7.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1の伝導形の、第1の面を有する炭化ケイ素のドリフト層

(12, 12')を備える炭化ケイ素チャネルの半導体ディバイスであって、

前記炭化ケイ素のドリフト層のチャネル領域(15)に隣接し電気的に接触する前記炭化ケイ素のドリフト層(12, 12')の前記第1の面上の、第2の伝導形の半導体材料のゲート層(16, 16')と、

前記炭化ケイ素のドリフト層内の第2の伝導形の半導体材料の埋込みベース領域(14, 14')であって、前記第1の伝導形のドリフト層内の前記チャネル領域(15)を規定するために、前記埋込みベース領域の一部が前記ゲート層の下側に配置され、前記ドリフト層(16, 16')の前記第1の面から間隔を空けている前記埋込みベース領域と、

前記ゲート層(16, 16')上のゲート接点(20)と、

そのカソードを前記ゲート接点に接続させるダイオード(23)と、

を備えることを特徴とする炭化ケイ素チャネルの半導体ディバイス。

【請求項2】 第1のキャリア濃度を有する炭化ケイ素の基板(10)を備える炭化ケイ素ディバイスの単位セルであって、

前記炭化ケイ素の基板(10)上の前記第1の伝導形の、前記第1のキャリア濃度よりも小さいキャリア濃度を有する炭化ケイ素の第1の層(12, 12')と、

前記炭化ケイ素の第1の層(12, 12')内の第2の伝導形の半導体材料の埋込み領域(14, 14')であって、前記炭化ケイ素の第1の層(12, 12')と前記埋込み領域(14, 14')との間のチャネル領域(15)を規定す

る前記埋込み領域と、

前記炭化ケイ素の第1の層（12, 12'）の前記キャリア濃度よりも大きいキャリア濃度にドープされ、前記半導体材料の埋込み領域と前記基板（10）の反対側で前記炭化ケイ素の第1の層（12, 12'）の前記チャネル領域（15）に隣接する前記炭化ケイ素の第1の層（12, 12'）の面との間にある、前記第1の伝導形の半導体材料の第1の領域（18, 18'）と、

前記炭化ケイ素の第1の層（12, 12'）上の前記第2の伝導形の半導体材料の、前記半導体材料の第1の領域（18, 18'）に隣り合っているが間隔を置いていて、前記炭化ケイ素の第1の層（12, 12'）の前記チャネル領域（15）をカバーするように伸びるゲート層（16, 16'）と、

前記炭化ケイ素の第1の層（12, 12'）の前記チャネル領域（15）を規定するための、前記半導体材料のゲート層（16, 16'）上のゲート接点（20）と、

前記ゲート層（16, 16'）と前記ゲート接点（20）との間の、高濃度にドープされた第1の伝導形の半導体材料の層と、

前記半導体材料の第1の領域（18, 18'）上の第1の接点（22）と、

前記炭化ケイ素の第1の層（12, 12'）の反対側の前記炭化ケイ素の基板（10）上の第2の接点（24）と、

を備えることを特徴とする炭化ケイ素ディバイスの単位セル。

【請求項3】 請求項2に記載の炭化ケイ素のディバイスであって、前記炭化ケイ素の基板（10）が、炭化ケイ素のトランジスタを提供するように、前記第1の伝導形の炭化ケイ素の基板を備えることを特徴とする炭化ケイ素のディバイス。

【請求項4】 請求項2に記載の炭化ケイ素のディバイスであって、前記炭化ケイ素の基板（10）が、炭化ケイ素のサイリスタを提供するように、前記第2の伝導形の炭化ケイ素の基板を備えることを特徴とする炭化ケイ素のディバイス。

【請求項5】 請求項1, 2, 3又は4のいずれかに記載の炭化ケイ素のディバイスであって、前記第1の伝導形がn形の伝導性であり、前記第2の伝導形

がp形の伝導性であることを特徴とする炭化ケイ素のディバイス。

【請求項6】 請求項1, 2, 3又は4のいずれかに記載の炭化ケイ素のディバイスであって、前記第1の伝導形がp形の伝導性であり、前記第2の伝導形がn形の伝導性であることを特徴とする炭化ケイ素のディバイス。

【請求項7】 前記の請求項のいずれかに記載の炭化ケイ素のディバイスであって、前記埋込み領域(14, 14')及び前記ゲート層(16, 16')の前記半導体材料が炭化ケイ素であることを特徴とする炭化ケイ素のディバイス。

【請求項8】 請求項1, 2, 3, 4, 5又は6のいずれかに記載の炭化ケイ素のディバイスであって、前記埋込み領域(14, 14')及び前記ゲート層(16, 16')の前記半導体材料が窒化ガリウム及び窒化インジウムガリウムから成るグループから選択されることを特徴とする炭化ケイ素のディバイス。

【請求項9】 請求項7, 8又は9のいずれかに記載の炭化ケイ素のディバイスであって、前記半導体材料の第1の領域(18, 18')が前記埋込み領域(14, 14')に電気的に接続されることを特徴とする炭化ケイ素のディバイス。

【請求項10】 請求項7, 8又は9のいずれかに記載の炭化ケイ素のディバイスであって、前記半導体材料の埋込み領域(14, 14')が前記ゲート層(16, 16')及び前記ゲート接点(20)に電気的に接続されることを特徴とする炭化ケイ素のディバイス。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】

前述したように、ベース領域14は厚さが約0.3μmから約5μmで、ゲート接点20の下側に約3μmから約12μm伸びることが好ましい。しかしながら、該ベース領域14がゲート接点の下側に伸びる距離は、特定の用途によって変化することがある。特に、ゲート接点の下側のベース領域14間の間隔は、チャネル領域

15内の抵抗と電界とを調整するために利用することができる。ベース領域14間の間隔Wが狭くなるにつれて、ゲート層16近傍の電界が減少する。約1μmから約20μmの間隔が好適である。前述したように、ドリフト層12がベース領域のp⁺/n接合及びゲートバイアスがゼロの場合のn/p⁺のゲート接合のビルトイン電位によって完全に空乏化されるように、ドリフト層12及びベース領域14のドーピングを選択することが好ましい。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		International Application No PCT/US 99/12861
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/24 H01L29/808 H01L21/04		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification systems followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 703 629 A (DAIMLER BENZ AG) 27 March 1996 (1996-03-27)	1,2,4, 13,16, 18-22, 25,27-31
A	column 3, line 10; figures 1-7,9	3,14,17, 23,26,32
	column 3, line 23,24	
	column 4, line 17 - line 22	
	column 4, line 29 - line 31	
X	DE 196 44 821 C (DAIMLER BENZ AG) 12 February 1998 (1998-02-12)	1,2,4-7, 11,13, 16,18-22
Y	column 2, line 36 - line 38	15,24,33
A	figure 4	3,14,17, 23,26,32
		-/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance		
"E" earlier document but published on or after the international filing date		
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
"Q" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
"D" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
"S" document member of the same patent family		
Date of the actual completion of the international search 7 September 1999		Date of mailing of the international search report 14/09/1999
Name and mailing address of the ISA European Patent Office, P.B. 5010 Patentsteen 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 051 apo nl. Fax. (+31-70) 340-3016		Authorized officer Juhl, A

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 99/12861

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 012, no. 385 (E-668), 14 October 1988 (1988-10-14), & JP 63 128741 A (SANYO ELECTRIC CO LTD), 1 June 1988 (1988-06-01) abstract	15,24,33
A	WO 98 12755 A (TERASAWA YOSHIO ;NGK INSULATORS LTD (JP)) 26 March 1998 (1998-03-26) figure 1	14,23,32
A	DE 196 08 003 A (DAIMLER BENZ AG) 11 September 1997 (1997-09-11) figures 7,8	1-33
A	EP 0 687 015 A (NGK INSULATORS LTD) 13 December 1995 (1995-12-13) figure 1	1-33
A	EP 0 822 600 A (MOTOROLA INC) 4 February 1998 (1998-02-04) figure 1	1-33
A	IWASAKI T ET AL: "ELECTRICAL CHARACTERISTICS OF A NOVEL GATE STRUCTURE 4H-SiC POWER STATIC INDUCTION TRANSISTOR" ISPSD '97. 1997 IEEE INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND ICS, WEIMAR, MAY 26 - 29, 1997, no. CONF. 9, 26 May 1997 (1997-05-26), XP000800175 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS ISBN: 0-7803-3994-0 figure 1	1-33

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Search Application No.
PCT/US 99/12861

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
EP 0703629	A	27-03-1996	DE	4430732 A		28-03-1996
DE 19644821	C	12-02-1998	WO	9819342 A		07-05-1998
			EP	0938751 A		01-09-1999
JP 63128741	A	01-06-1988		NONE		
WO 9812755	A	26-03-1998	EP	0862221 A		02-09-1998
DE 19608003	A	11-09-1997	WO	9733322 A		12-09-1997
EP 0687015	A	13-12-1995	JP	8055978 A		27-02-1996
			US	5894140 A		13-04-1999
EP 0822600	A	04-02-1998	US	5780878 A		14-07-1998
			US	5917203 A		29-06-1999
			JP	10093087 A		10-04-1999

フロントページの続き

(81)指定国 E P (A T, B E, C H, C Y,
D E, D K, E S, F I, F R, G B, G R, I E, I
T, L U, M C, N L, P T, S E), O A (B F, B J
, C F, C G, C I, C M, G A, G N, G W, M L,
M R, N E, S N, T D, T G), A P (G H, G M, K
E, L S, M W, S D, S L, S Z, U G, Z W), E
A (A M, A Z, B Y, K G, K Z, M D, R U, T J
, T M), A E, A L, A M, A T, A U, A Z, B A
, B B, B G, B R, B Y, C A, C H, C N, C Z,
D E, D K, E E, E S, F I, G B, G E, G H, G
M, H R, H U, I D, I L, I N, I S, J P, K E
, K G, K R, K Z, L C, L K, L R, L S, L T,
L U, L V, M D, M G, M K, M N, M W, M X, N
O, N Z, P L, P T, R O, R U, S D, S E, S G
, S I, S K, S L, T J, T M, T R, T T, U A,
U G, U S, U Z, V N, Y U, Z W